

④日本国特許庁 (JP)

④特許出願公開

④公開特許公報 (A)

昭64-76755

④Int.Cl.

H 01 L
27/08
29/78

識別記号

3 2 1
3 0 1

序内整理番号

Z-7735-5F
Q-8422-5F

④公開 昭和64年(1989)3月22日

審査請求 未請求 発明の数 3 (全6頁)

④発明の名称 半導体装置

④特願 昭62-232209

④出願 昭62(1987)9月18日

④発明者 保川 彰夫 桃城県土浦市神立町602番地 株式会社日立製作所機械研究所内

④出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目5番地

④代理人 弁理士 小川 勝男 外1名

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. シリコン基板に形成されたPチャンネル電界効果トランジスタ素子を有する斜面封止型の半導体装置において、前記シリコン基板の斜面を<110>面とし、前記素子をそのアチヤンネル電流方向が<110>方向となるように配置することを特徴とする半導体装置。
2. シリコン基板に形成されたPチャンネル電界効果トランジスタ素子を有する斜面封止型の半導体装置において、前記シリコン基板を<110>面のシリコンウエハから一辺の方向が<111>方向となるような方向に切り出し、前記素子のソース電極、ゲート電極及びドレイン電極をこの方向に並べて配置することを特徴とする半導体装置。
3. シリコン基板に形成されたPチャンネル電界効果トランジスタ素子を有する斜面封止型の半

(1)

基体装置において、前記シリコン基板を<211>面のシリコンウエハから一辺の方向が<111>方向となるような方向に切り出し、前記素子のソース電極、ゲート電極及びドレイン電極をこの方向に並べて配置することを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、斜面封止型のシリコン電界効果トランジスタ(以下、FET)に係り、特に、CMOSに適した半導体装置の構造に関する。

(従来の技術)

従来の装置は、特開昭57-54176号公報に記載のように、要部を如4図に示したよう、(100)面の单結晶シリコンを用いている。そして、シリコン基板1の上に、PチャンネルFETのソース電極5、ゲート電極6、ドレイン電極7と、NチャンネルFETのソース電極10、ゲート電極11、ドレイン電極12がともに<110>方向に並べて、形成されていた。

(2)

この背面のPチャンネルFETを含む裏面の側面断面図を、第5回に示す。N型のシリコン基板1の裏面の一部に、P型の領域2、3が形成される。これらの上には、穴を有する絶縁膜4が形成される。この上には、導体5、6、7が形成され、それぞれ、ソース電極、ゲート電極、ドレイン電極となる。これらの上には、床版8が形成される。さらに、これらは、樹脂9によっておおわれる。

ここで、シリコン基板1と樹脂9の絶縁膜低部は、大きくなるため、樹脂封止後の冷却または使用時の熱膨張などにより、シリコン基板裏面には、大きなせん断応力 $\Delta \tau$ が生じる。

この応力により、FETのチャンネル電界土は変化することになる。チャンネル電界土の主成分は、シリコン基板裏面に平行に流れる。一方、電界土の主成分は、シリコン基板1の裏面に垂直な方向に加わっている。この場合、応力による電界土変化は、次式で表される。

(3)

(問題点を解決するための手段)

上記目的は、(110)面のシリコン基板を用い、PチャンネルFET粒子を、そのチャンネル電界土方向が<110>方向となるように配置することにより、達成される。

本発明1番目の発明に係る半導体装置は、シリコンに形成されたPチャンネルFET粒子を有する樹脂封止壁の半導体装置において、前記シリコンの裏面を(110)面とし、前記PチャンネルFET粒子を、そのチャンネル電界土方向が<110>方向となるように配置することを特徴とする。この場合においては同じシリコンにNチャンネルFET粒子を、そのチャンネル電界土方向が<110>方向となるように配置することを特徴とする。この場合においては同じシリコンにPチャンネルFET粒子を、そのチャンネル電界土方向が<110>方向となるように配置することが望ましい。

本発明2番目の発明に係る半導体装置はシリコン基板に形成されたPチャンネルFET粒子を有する樹脂封止壁の半導体装置において、前記シリコン基板を(110)面のシリコンウエハから、1辺の方向が<111>方向となるような方向に

(5)

$$\frac{\Delta \tau}{\tau} = -\pi \epsilon \epsilon' \quad \dots (1)$$

ここに、 $\Delta \tau$ は応力による電界土変化、 τ は応力のひずみ、 $\pi \epsilon \epsilon'$ はピエゾ抵抗係数の成分の一つ、 ϵ はせん断応力である。

$\pi \epsilon \epsilon'$ を各種結晶面の各種方位について解析した結果を、第8回～第10回に示す。

(発明が解決しようとする問題)

第6回より、(100)面のPチャンネルの場合は、 $\pi \epsilon \epsilon'$ は非常に大きくなる。従来の装置では、(100)面を用いていたため、応力による電界土変化が大きくなっていた。このため、樹脂封止や使用時に特性が反転し、設計通りの安定した特性が得られないという問題があつた。

上記従来技術は、樹脂から加わる応力による特性変動の点について配慮が十分でなく、安定した特性が得られないという問題があつた。

本発明の目的は、樹脂から加わる応力による特性変動が小さく、安定した特性を有する半導体装置を得ることにある。

(4)

切り出し、前記PチャンネルFET粒子のソース電極、ゲート電極、ドレイン電極をこの方向に並べて配置したことを利用とする。この場合においては同じシリコン基板上にNチャンネルFET粒子も形成し、もう1つの辺の方向を<211>方向に切り出し、前記Nチャンネルアリエート粒子のソース電極、ゲート電極、ドレイン電極をこの方向に並べて配置することが望ましい。

本発明3番目の発明に係る半導体装置はシリコン基板に形成されたPチャンネルFET粒子を有する樹脂封止壁の半導体装置において、前記シリコン基板を(211)面のシリコンウエハから、1辺の方向が<111>方向となるような方向に切り出し、前記PチャンネルFET粒子のソース電極、ゲート電極、ドレイン電極をこの方向に並べて配置したことを特徴とする。この場合においては、同じシリコン基板上にNチャンネルFET粒子も形成し、もう1つの辺の方向を<110>方向に切り出し、前記NチャンネルFET粒子のソース電極、ゲート電極、ドレイン電極をこの方

(5)

向に並べて配置することが望ましい。

(作用)

出発到着型のP-E-T断面の応力による特性変動で直角なピエゾ抵抗係数 κ_{10} は、Pチャンネルの場合、(110)面の<110>方向で最小となる。したがって、応力による特性変動が最小となるので、安定した特性が得られる。

(実施例)

以下、本発明の実施例を図面について説明する。

図1回において、図4回と同一符号のものは、同一部分を示す。図1回が図2回と異なる点は、シリコン基板1上に(110)面を用いており、PチャンネルFETのソース電極5、ゲート電極6、ドレイン電極7が<110>方向に配列され、Pドレイン電極7が<110>方向に配置され、Pチャンネル電極が<110>方向に並れるように配置しており、NチャンネルFETのソース電極10、ゲート電極11、ドレイン電極12が<100>方向に配列され、Nチャンネル電極が<100>方向に並れるようになつてある点である。

(7)

本実施例では、シリコン基板1に(100)面を用いているのは、前の例と同じであるが、1辺が<111>方向となり、この方向にPチャンネルFETのソース電極5、ゲート電極6、ドレイン電極7を配置し、Pチャンネル電極が<111>方向に並れるようにしてある。一方、もう1つの辺は、<112>方向となつており、この方向にNチャンネルFETのソース電極10、ゲート電極11、ドレイン電極12を配置し、Nチャンネル電極が<211>方向に並れるようにしてある。

本実施例は、図7回からわかるように、特性安定性の面で最適ではないが、従来と比較するとかなりの改善が得られる。本実施例では、これに加えて、生産性を向上できるという効果がある。

シリコン基板1は、シリコンウエハから切り出して、作られる。<110>面のシリコンウエハの場合、右の柱状から、シリコン基板1の一つの辺の方向を<111>、これと直交する辺の方向を<211>として、切り出すのが、生産性が高い。この半導体基板1の上に、辺の方向と積げ

(8)

本実施例においても、PチャンネルFETを含む部の前面断面形状は、図6回に示すのと同じになり、応力によるチャンネル電極変形も、(1)式で表される。ただし、ピエゾ抵抗係数 κ_{10} の値は、シリコン基板1の面が異なるため、異なる。

ピエゾ抵抗係数 κ_{10} の値は、図6回～図9回より、Pチャンネルの場合、(110)面の<110>方向で最小になることがわかる。本実施例では、Pチャンネルの配線方向がこの方向となつてるので、応力による電極変形が最小となる。この結果、安定した特性が得られる。

なお、同一のシリコン基板1の表面に、NチャンネルFETでも形成する必要がある場合には、図7回より、Nチャンネルの κ_{10} は(110)面の<100>方向で最小となるので、この方向にNチャンネルの電極方向が一致するようにすればよい。本実施例では、このようになるように、NチャンネルFETが配置されている。

図2回は、本発明の別の実施例の要部を示す図である。

(9)

て、<110>と<100>方向に、それぞれPチャンネルFETとNチャンネルFETのチャンネル電極を並べる方法も考えられる。しかし、こうすると、電極を並べて並んで配置しなければならず、シリコン基板1の表面の中に、有効に活用できない部分ができるため、同じ数の電子を組み込むためのシリコン基板1の面積が大きくなってしまう。そこで、シリコン基板1の辺の方向<111>と<211>方向にそれぞれPチャンネルFETとNチャンネルFETの電極を並べれば、シリコン基板1の面積が小さくなります。また、<111>と<211>方向は、加工性が良いため、歩止りを向上し、コスト的にも有利である。

図3回は、本発明のまた別の実施例の要部を示す図である。

本実施例では、シリコン基板1を(211)面のシリコンウエハから、1辺の方向が<111>方向となるように切り出しており、PチャンネルFET類子のソース電極5、ゲート電極6、ドレイン電極7を

(10)

イン電極7を、この方向に並べて配置することにより、Pチヤンネル電極がこの方向に流れるようにしている。また、もう一つの辺の方向が<110>方向となるようにしており、NチヤンネルPBT素子のソース電極8、ゲート電極9、ドレイン電極10をこの方向に並べて配置することにより、Nチヤンネル電極がこの方向に流れるようにしている。

前の実施例と同じ考え方で、第9回から、本実施例でも十分な効果があることがわかる。また、第10回から、本実施例では、多少角度がずれても感度の変化が小さいことがわかる。したがつて、加工精度が多少悪くてもよいため、生産が容易であるという利点がある。

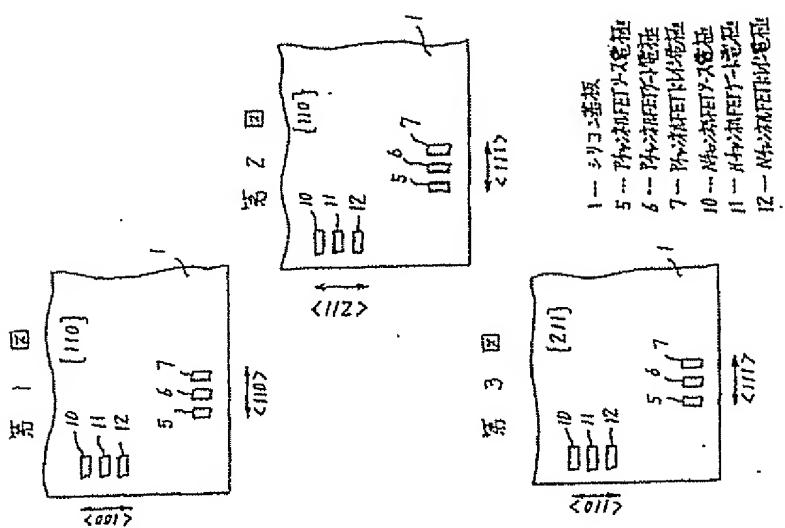
(発明の効果)

本発明によれば、樹脂封止板の内壁や使用時の温度変化などで生じる应力による複雑運動を小さくできるので、安定した特性が得られるという効果がある。

4. 図面の簡単な説明

(11)

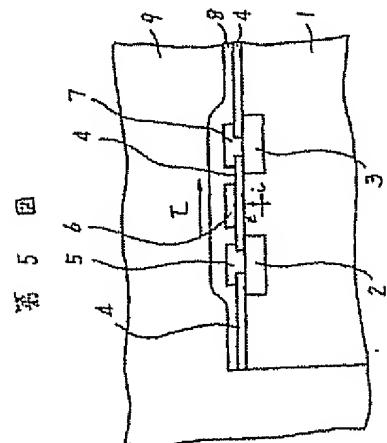
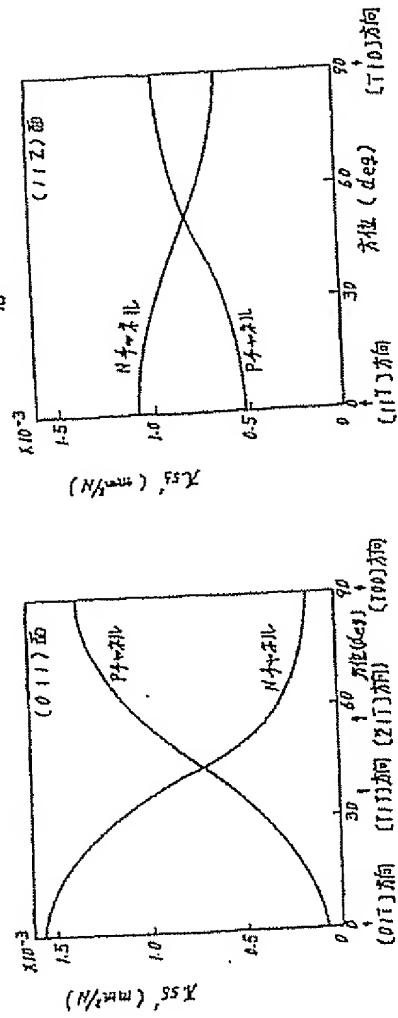
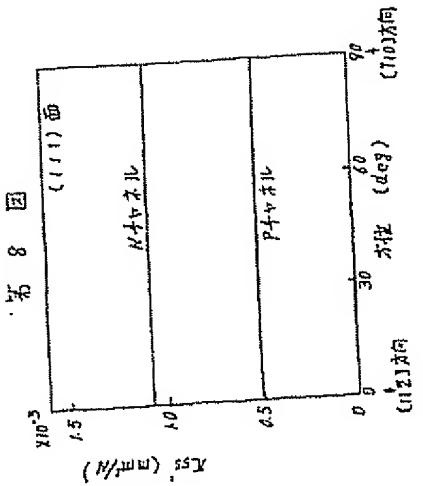
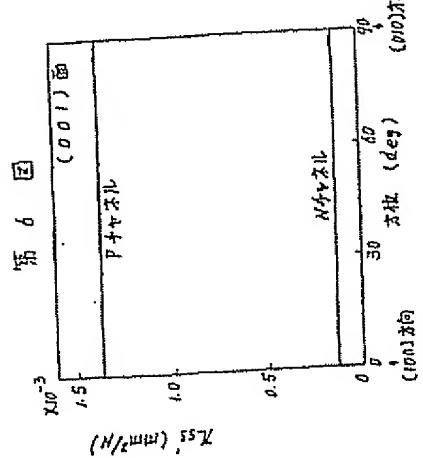
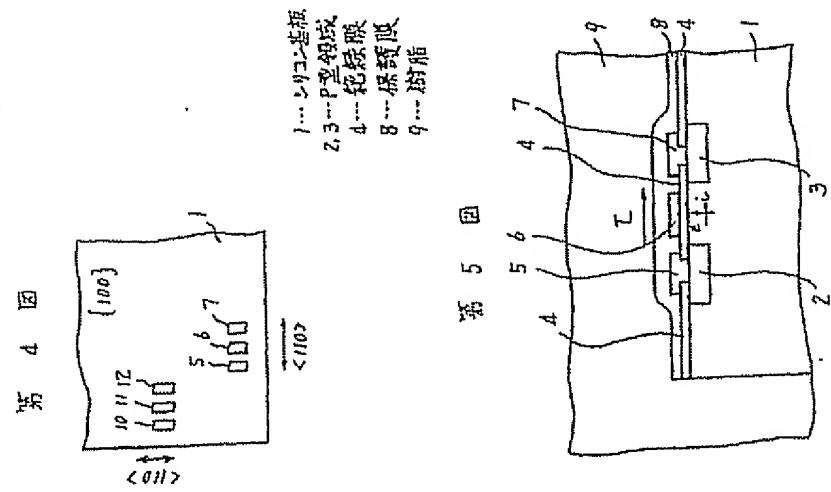
(12)



第1回、第2回、第3回は次々本実施例の実施例に係る半導体装置のシリコン基板表面の平面図、第4回は從来例に係るシリコン基板表面の平面図、第5回は一般的な半導体装置の表面断面図、第6回、第7回、第8回、第9回は天々ビエゾ抵抗係数の各種結晶面における面内方位出存在性を示す特性図である。

1…シリコン基板、2…P型領域、4…掩蔽版、5…PチヤンネルPBTソース電極、6…PチヤンネルPBTゲート電極、7…NチヤンネルPBTドレイン電極、8…銀電極、9…掩蔽版、10…NチヤンネルPBTソース電極、11…NチヤンネルPBTゲート電極、12…NチヤンネルPBTドレイン電極。

代理人 井親士 小川昌男



特開昭64-76755(6)

手 続 検 正 書 (自発)

特許庁長官 股
1. 事 件 の 登 示
昭和 62 年 特許願 第 232200 号

63 1 22

(2) 明細書第 9 頁第 1 行目「(100)」を
「(110)」に訂正する。

以 上

2. 発明の名 称
半導体装置

3. 前正をする者

特許出願人

日本電気株式会社 日立製作所

4. 代 理 入
千 代 田 区 丸の内一丁目 5番 1号
株式会社日立製作所 本社 (100-1111) (大田)
小 川 雄 男

5. 訂 正 の 対 象 明細書の「特許請求の範囲」、及び
「発明の詳説を説明」の範。

6. 訂 正 の 内 容

1. 特許請求の範囲を別紙の通りに訂正する。

(2)

方 式
特許
股



2. 特許請求の範囲

1. シリコン基板に形成されたPチヤンネル電極
効果トランジスタ端子を有する樹脂封止型の半
導体装置において、前記シリコン基板の裏面を
〔110〕面とし、前記端子をそのPチヤンネ
ル電極方向が〔110〕方向となるように配置
することを特徴とする半導体装置。

方向となるような方向に切り出し、前記端子の
ソース電極、ゲート電極及びドレイン電極をこ
の方向に並べて配置することを特徴とする半導
体装置。

2. シリコン基板に形成されたPチヤンネル電極
効果トランジスタ端子を有する樹脂封止型の半
導体装置において、前記シリコン基板を〔110〕
面のシリコンウェハから一辺の方向が〔111〕
方向となるような方向に切り出し、前記端子の
ソース電極、ゲート電極及びドレイン電極をこ
の方向に並べて配置することを特徴とする半導
体装置。

3. シリコン基板に形成されたPチヤンネル電極
効果トランジスタ端子を有する樹脂封止型の半
導体装置において、前記シリコン基板を〔211〕
面のシリコンウェハから一辺の方向が〔111〕

(1)

(2)